

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010010743 A  
 (43)Date of publication of application: 15.02.2001

(21)Application number: 1019990029796  
 (22)Date of filing: 22.07.1999

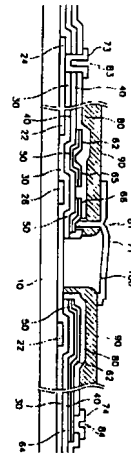
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
 (72)Inventor: PARK, UN YONG  
 YOON, JONG SU

(51)Int. Cl. G02F 1/136

## (54) THIN FILM TRANSISTOR SUBSTRATE FOR LIQUID CRYSTAL DISPLAY AND MANUFACTURING METHOD THEREOF

## (57) Abstract:

PURPOSE: A thin film transistor substrate for liquid crystal display and manufacturing method thereof are provided to reduce the number of photolithography processes and improve the aperture ratio by forming a black matrix and a color filter on a TFT substrate. CONSTITUTION: A Gate wiring(22,24,26) is formed on an insulating substrate (10). The first insulating film, a semiconductor layer, a contact layer and a metal layer are coated on the gate wiring(22,24,26) in order. A data wiring (62,64,65,66) and the contact layer are formed by the simultaneous patterning of the metal layer and the contact layer. The second insulating film is coated on the data wiring(62,64,65,66). Contact holes(81,83,84) of exposing a gate pad(24), a data pad(64) and a drain electrode(66) are formed and an aperture of exposing the first insulating film between adjacent two data lines(62) is formed by the simultaneous patterning of the second insulating film, the semiconductor layer and a gate insulating film. A color filter(100) is formed on the first insulating film exposed through the aperture. A pixel electrode(71) is formed on the color filter(100).



COPYRIGHT 2001 KIPO

## Legal Status

Date of request for an examination (20040721)  
 Notification date of refusal decision (00000000)  
 Final disposal of an application (registration)  
 Date of final disposal of an application (20060814)  
 Patent registration number (1006239800000)  
 Date of registration (20060907)  
 Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

(11) 공개번호 특2001-0010743

G02F 1/136

(43) 공개일자 2001년02월 15일

(21) 출원번호 10-1999-0029796

(22) 출원일자 1999년07월22일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자

경기 수원시 팔달구 매탄3동 416

박운용

경기도수원시팔달구매탄1동주공5단지아파트521동1107호

윤종수

충청남도천안시구성동473-15

(74) 대리인

김원호, 김원근

심사청구 : 없음

(54) 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법

영세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 2는 도 1의 II-II'선에 대한 단면도이고,

도 3a는 본 발명의 제1 실시예에 따라 박막 트랜지스터 기판을 제조하는 첫 번째 단계에서의 기판의 배치도이고,

도 3b는 도 3a는 IIIb-IIIb'선에 대한 단면도이고,

도 4a는 도 3a 및 도 3b의 다음 단계에서의 기판의 배치도이고,

도 4b는 도 4a의 IVb-IVb'선에 대한 단면도이고,

도 5는 IIIb-IIIb'선에 대한 단면도로서 도 3b와 도 4b의 중간 단계에서의 기판과 광마스크를 정렬한 상태의 도면이고,

도 6a는 도 4a 및 도 4b의 다음 단계에서의 기판의 배치도이고,

도 6b는 도 6a의 VIb-VIb'선에 대한 단면도이고,

도 7a는 도 6a와 도 6b의 다음 단계에서의 기판의 배치도이고,

도 7b는 도 7a의 VIIb-VIIb'선에 대한 단면도이고,

도 8은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 9는 도 8의 IX-IX'선에 대한 단면도이고,

도 10은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 11은 도 10의 XI-XI'선에 대한 단면도이고,

도 12a는 본 발명의 제3 실시예에 따라 박막 트랜지스터 기판을 제조하는 중간 단계에서의 기판의 배치도이고,

도 12b는 도 12a는 XIIb-XIIb'선에 대한 단면도이고,

도 13은 XIIb-XIIb'선에 대한 단면도로서 도 4b의 패턴을 형성하기 위한 사진 식각 과정에서 기판과 광마스크를 정렬한 상태의 도면이고,

도 14a는 도 12a 및 도 12b의 다음 단계에서의 기판의 배치도이고,

도 14b는 도 14a의 XIVb-XIVb'선에 대한 단면도이고,

도 15는 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 16은 도 15의 XVI-XVI'선에 대한 단면도이고,

도 17은 본 발명의 제5 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 18은 도 17의 XVII-XVII'선에 대한 단면도이고,

도 19는 도 17의 XVIII-XVIII'선에 대한 단면도로서 박막 트랜지스터 기판을 제조하는 중간 과정에서의

광마스크와 기판의 정렬 상태를 나타내는 도면이고,

도 20은 본 발명의 제6 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 21은 도 20의 XXI-XXI'선에 대한 단면도이고,

도 22는 도 20의 XXI-XXI'선에 대한 단면도로서 박막 트랜지스터 기판을 제조하는 중간 과정에서의 광마스크와 기판의 정렬 상태를 나타내는 도면이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로서, 특히 액정 표시 장치용 박막 트랜지스터 기판에 관한 것이다.

액정 표시 장치는 일반적으로 공통 전극과 컬러 필터(color filter) 등이 형성되어 있는 상부 기판과 박막 트랜지스터와 화소 전극 등이 형성되어 있는 하부 기판 사이에 액정 물질을 주입해 놓고 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 공통 전극과 화소 전극이 각각 형성되어 있고, 화소 전극이 형성되어 있는 기판에는 화소 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터가 형성되고, 공통 전극이 형성되어 있는 기판에는 컬러 필터(color filter)와 블랙 매트릭스(black matrix)가 형성되어 있는 형태의 것이다.

그런데 이처럼 컬러 필터 및 블랙 매트릭스를 화소 전극과는 다른 기판에 형성하는 경우에는 상하 기판 조립시의 정렬 오차(align margin)를 고려하여 블랙 매트릭스를 일정한 정도의 여유 폭을 가지도록 형성하여야 한다. 그러나 블랙 매트릭스가 넓게 형성되면 개구율은 감소하게 된다.

또, 상하의 기판을 제조하는 과정에서는 여러 차례의 사진 식각 공정을 거치게 되는데 이러한 사진 식각 공정의 수가 제조 비용을 좌우하는 큰 요인이다. 따라서 사진 식각 공정의 수를 가능한 한 줄이는 것이 필요하다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치의 제조 공정을 단순화하는 것이다.

본 발명의 다른 과제는 액정 표시 장치의 개구율을 증가시키는 것이다.

### 발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 한 번의 사진 식각 공정을 통하여 다수의 박막을 서로 다른 패턴을 형성하고, 컬러 필터를 박막 트랜지스터 기판에 형성한다.

구체적으로는, 절연 기판 위에 가로 방향으로 뻗어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계, 상기 게이트 배선 위에 제1 절연막, 반도체층 및 금속층을 연속으로 적층하는 단계, 상기 금속층을 패터닝하여 세로 방향으로 길게 뻗어 있는 데이터선, 상기 데이터선의 일부인 소스 전극, 상기 데이터선의 일단에 형성되어 있는 데이터 패드 및 상기 소스 전극과 분리되어 마주보고 있는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계, 상기 데이터 배선 위에 제2 절연막을 적층하는 단계, 상기 제2 절연막, 반도체층 및 게이트 절연막을 함께 패터닝하여 상기 게이트 패드, 데이터 패드 및 드레인 전극을 각각 노출시키는 제1 내지 제3 접촉구를 형성하고 인접한 두 데이터선 사이의 제1 절연막을 노출시키는 개구부를 형성하는 단계, 상기 개구부를 통하여 노출되어 있는 제1 절연막 위에 컬러 필터를 형성하는 단계, 상기 컬러 필터 위에 화소 전극을 형성하는 단계를 포함하는 공정을 통하여 액정 표시 장치용 박막 트랜지스터 기판을 제조한다.

이 때, 반도체층 위에 접촉층을 더 적층하고 금속층을 패터닝하는 단계에서 접촉층도 함께 패터닝할 수 있다. 또, 제2 절연막, 접촉층, 반도체층 및 제1 절연막을 함께 패터닝하는 단계는 상기 제2 절연막 위에 감광막을 적층하는 단계, 상기 감광막을 광투과율이 위치에 따라 3단계 이상으로 분할되는 광마스크를 통하여 노광하는 단계, 상기 감광막을 현상하는 단계, 상기 감광막과 함께 상기 제2 절연막, 접촉층, 반도체층 및 제1 절연막을 식각하는 단계를 포함할 수 있다.

여기서, 제2 절연막, 반도체층 및 제1 절연막을 함께 패터닝하는 단계 다음에 블랙 매트릭스를 더 형성하거나, 제2 절연막을 블랙 매트릭스로 사용할 수 있다.

또는, 절연 기판 위에 가로 방향으로 뻗어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계, 상기 게이트 배선 위에 제1 절연막, 반도체층 및 금속층을 연속으로 적층하는 단계, 상기 금속층과 반도체층을 함께 패터닝하여 세로 방향으로 길게 뻗어 있는 데이터선, 상기 데이터선의 일부인 소스 전극, 상기 데이터선의 일단에 형성되어 있는 데이터 패드 및 상기 소스 전극과 분리되어 마주보고 있는 드레인 전극을 포함하는 데이터 배선을 형성하고, 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 제외한 상기 데이터 배선 사이의 반도체층을 제거하는 단계, 상기 데이터 배선 위에 각각 상기 게이트 패드, 데이터 패드 및 드레인 전극을 노출시키는 제1 내지 제3 접촉구를 가지는 제2 절연막을 형성하는 단계, 상기 데이터 배

선 사이의 영역에 컬러 필터를 형성하는 단계, 상기 컬러 필터 위에 상기 제3 접촉구를 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 공정을 통하여 박막 트랜지스터 기판을 제조할 수도 있다.

이 때, 반도체층 위에 접촉층을 더 적층하고, 금속층과 반도체층을 패터닝하는 단계에서 접촉층도 함께 패터닝하여 데이터 배선과 실질적으로 동일한 외곽선을 가지는 접촉층 패턴을 형성할 수 있다. 또, 금속층, 접촉층 및 반도체층을 함께 패터닝하는 단계는 금속층 위에 감광막을 적층하는 단계, 감광막을 광투과율이 위치에 따라 3단계 이상으로 분할되는 광마스크를 통하여 노광하는 단계, 감광막을 현상하는 단계, 감광막과 함께 금속층, 접촉층 및 반도체층을 식각하는 단계를 포함할 수 있다.

여기서, 금속층과 반도체층을 함께 패터닝하는 단계 다음에 블랙 매트릭스를 더 형성할 수도 있고, 제2 절연막을 블랙매트릭스로 형성할 수도 있다.

절연 기판 위에 가로 방향으로 뻗어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계, 상기 게이트 배선 위에 제1 절연막, 반도체층 및 금속층을 연속으로 적층하는 단계, 상기 금속층을 패터닝하여 세로 방향으로 길게 뻗어 있는 데이터선, 상기 데이터선의 일부인 소스 전극, 상기 데이터선의 일단에 형성되어 있는 데이터 패드 및 상기 소스 전극과 분리되어 마주보고 있는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계, 상기 데이터 배선 위에 제2 절연막을 적층하는 단계, 상기 제2 절연막, 반도체층 및 게이트 절연막을 함께 패터닝하여 상기 게이트 패드, 데이터 패드 및 드레인 전극을 각각 노출시키는 제1 내지 제3 접촉구를 형성하고 인접한 데이터선 사이의 절연 기판과 게이트 배선을 노출시키는 개구부를 형성하는 단계, 상기 개구부를 통하여 노출되어 있는 절연 기판 및 게이트 배선 위에 컬러 필터를 형성하는 단계, 상기 컬러 필터 위에 화소 전극을 형성하는 단계를 포함하는 공정을 통하여 박막 트랜지스터 기판을 제조할 수 있다.

이 때, 반도체층 위에 접촉층을 더 적층하고 금속층을 패터닝하는 단계에서 접촉층도 함께 패터닝할 수 있으며, 제2 절연막을 블랙 매트릭스로 형성할 수도 있다.

그러면 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 설명한다.

먼저, 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2는 도 1의 II-II'선에 대한 단면도이다.

먼저, 절연 기판(10) 위에 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 만들어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 주사 신호선 또는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가 받아 게이트선(22)으로 전달하는 게이트 패드(24) 및 게이트선(22)의 일부인 박막 트랜지스터의 게이트 전극(26)을 포함한다.

게이트 배선(22, 24, 26)은 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하며, Cr/Al(또는 Al 합금)의 이중층 또는 Al/Mo의 이중층이 그 예이다.

게이트 배선(22, 24, 26) 위에는 질화규소(SiN<sub>x</sub>) 따위로 이루어진 게이트 절연막 패턴(30)이 형성되어 게이트 배선(22, 24, 26)을 덮고 있다.

게이트 절연막 패턴(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(40)이 형성되어 있으며, 반도체 패턴(40) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴(50)이 형성되어 있다.

접촉층 패턴(50) 위에는 Mo 또는 MoW 합금, Cr, Al 또는 Al 합금, Ta 따위의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가 받는 데이터 패드(64), 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65) 그리고 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)을 포함한다.

데이터 배선(62, 64, 65, 66)도 게이트 배선(22, 24, 26)과 마찬가지로 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다.

접촉층 패턴(50)은 그 하부의 반도체 패턴(40)과 그 상부의 데이터 배선(62, 64, 65, 66)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66)과 완전히 동일한 형태를 가진다.

한편, 반도체 패턴(40)은 데이터 배선(62, 64, 65, 66) 및 접촉층 패턴(50)과 유사한 모양을 하고 있다. 구체적으로는 데이터선(62)과 동일한 방향으로 길게 형성되어 있으며 데이터선(62)보다 약간 더 넓은 폭으로 형성되어 있다. 또, 소스 전극(65)과 드레인 전극(66)이 분리되어 있는 부분에서도 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다. 한편, 반도체 패턴(40)은 주변부에도 연장되어 주변부 전체에 걸쳐 형성되어 있다.

데이터 배선(62, 64, 65, 66)과 반도체 패턴(40)은 보호막(80)으로 덮여 있으며, 보호막(80)은 드레인 전극(66) 및 데이터 패드(64)를 드러내는 접촉창(81, 84)을 가지고 있다. 보호막(80)은 또한 게이트 절연막(30) 및 반도체 패턴(40)과 함께 게이트 패드(24)를 드러내는 접촉창(83)을 가지고 있으며, 게이트

선(22) 중에서 데이터선(62)과 중복되는 부분을 제외한 나머지 부분은 덮고 있지 않다. 이 때 보호막(80)은 접촉구(81, 84) 부분을 제외하고는 반도체 패턴(40)과 실질적으로 동일한 외곽선을 가진다. 이는 후술하는 바와 같이, 보호막(80)과 반도체 패턴(40)이 함께 형성되기 때문이다. 한편, 보호막(80)은 질화규소나 아크릴계 따위의 유기 절연 물질로 이루어질 수 있으며, 반도체 패턴(40) 중에서 적어도 소스 전극(65)과 드레인 전극(66) 사이에 위치하는 채널 부분을 덮어 보호하는 역할을 한다.

패드(24, 64) 부분을 제외한 데이터 배선(62, 65, 66)과 게이트 배선(22, 26) 상부의 보호막(80) 위에는 검은색 유기 물질로 이루어진 블랙 매트릭스(90)가 형성되어 있다. 블랙 매트릭스(90)는 화소 전극(71)의 주변부에 형성되는 전기장에 의하여 빛이 새는 것을 방지하기 위하여 형성하는 것으로서, 경우에 따라서는 게이트선(22) 상부에는 블랙 매트릭스(90)를 형성하지 않을 수도 있다. 블랙 매트릭스(90)에는 드레인 전극(66)을 노출시키는 접촉구가 형성되어 있는데, 이 접촉구는 보호막 패턴(80)에 있는 접촉구(81)의 중앙에 더 좁게 형성되어 있다.

데이터선(62) 사이 영역의 게이트 절연막(30) 위에는 컬러 필터(100)가 형성되어 있다. 컬러 필터(100) 적, 녹, 청이 번갈아 형성되어 있다. 이 때, 본 실시예에서는 게이트선(22)을 경계로 하여 분리되지 않고 같은 색의 컬러 필터(100)가 상하로 길게 형성되어 있으나, 게이트선(22)을 경계로 하여 분리 형성함으로써 각 화소 영역마다 다른 색의 컬러 필터(100)를 형성할 수도 있다. 또한 컬러 필터(100)는 접촉구(81)의 위까지 연장하여 형성할 수도 있다. 이때는 컬러 필터(100)에도 접촉구를 형성하여 드레인 전극(66)과 화소 전극(71)의 연결을 도모하여야 하는데, 그 크기는 적어도  $4\mu\text{m} \times 4\mu\text{m}$  이상이 되어야 한다. 이는 컬러 필터(100)를 통상 대형 얼라이너(aligner) 노광기를 사용하여 형성하기 때문이다.

컬러 필터(100)의 위에는 화소 전극(71)이 형성되어 있다. 화소 전극(71)은 접촉창(871)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하며, ITO(indium tin oxide) 따위의 투명한 도전 물질로 만들어진다. 이 때, 화소 전극(71)은 게이트선(22) 및 데이터선(62)과 일부가 중첩되도록 넓게 형성되어 있다. 또, 화소 전극(71)에는 박막 트랜지스터의 채널부 상부에 개구부(도시하지 않음)를 형성할 수도 있다.

한편, 게이트 패드(24) 및 데이터 패드(64) 위에는 접촉창(83, 84)을 통하여 각각 이들과 연결되는 보조 게이트 패드(73) 및 보조 데이터 패드(74)가 형성되어 있으며, 이들은 패드(24, 64)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

그러면, 본 발명의 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 3a 내지 도 7b와 앞서의 도 1과 도 2를 참고로 하여 상세히 설명한다.

먼저, 도 3a와 도 3b에 도시한 바와 같이, 금속 따위의 도전체층을 스퍼터링 따위의 방법으로 1,000 Å 내지 3,000 Å의 두께로 증착하고 제1 마스크를 이용하여 건식 또는 습식 식각하여, 기판(10) 위에 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선을 형성한다. 다음, 게이트 절연막, 반도체층, 접촉층을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 1,500 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 금속 따위의 도전체층을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한다. 이어, 제2 마스크를 사용하여 도전체층 및 그 아래의 접촉층을 사진 식각하여 데이터선(62), 데이터 패드(64), 소스 전극(65) 및 드레인 전극(66)을 포함하는 데이터 배선과 그 하부의 접촉층 패턴(50)을 형성한다.

도 4a 및 도 4b에 도시한 바와 같이, 질화규소를 CVD 방법으로 증착하거나 유기 절연 물질을 스프인 코팅하여 3,000 Å 이상의 두께를 가지는 보호막을 형성한 후 제3 마스크를 사용하여 보호막과 반도체층 및 게이트 절연막을 패터닝하여 접촉창(81, 83, 84)을 포함하는 이들의 패턴을 형성한다. 이때, 화면으로 나타나지 않는 영역인 주변부에서는 게이트 패드(24) 위의 보호막, 반도체층 및 게이트 절연막을 제거하지만 [데이터 패드(64) 위의 보호막도 제거] 화면 표시부에서는 보호막과 반도체층만을 제거하여 [드레인 전극(66) 위의 보호막도 제거] 필요한 부분에만 채널이 형성되도록 반도체층 패턴을 형성해야 한다. 이를 위하여 부분에 따라 두께가 다른 감광막 패턴을 형성하고 이를 식각 마스크로 하여 하부의 막들을 식각하는 방법을 사용하는데, 이것을 도 5를 참고로 하여 설명한다.

도 5에 나타난 바와 같이, 보호막 위에 감광막(PR), 바람직하게는 양성의 감광막을 5,000 Å 내지 30,000 Å의 두께로 도포한 후, 제3 마스크(200)를 통하여 노광한다. 노광 후의 감광막(PR)은 도 5에서 보는 바와 같이, 화면 표시부와 주변부가 다르다. 즉, 화면 표시부의 감광막(PR) 중에서 빛에 투과된 부분(C)은 표면으로부터 일정 깊이까지만이 빛에 반응하여 고분자가 분해되고 그 밑으로는 고분자가 그대로 남아 있으나, 주변부의 감광막(PR)은 이와는 달리 빛에 노출된 부분(B)은 하부까지 모두 빛에 반응하여 고분자가 분해된 상태가 된다. 여기에서, 화면 표시부나 주변부에서 빛에 노출되는 부분(C, B)은 보호막(80)이 제거될 부분이다.

이와 같은 감광막(PR) 패턴을 형성하기 위해서는 노광시 사용하는 광마스크를, 도 5에 나타난 바와 같이, 투명한 기판(210)과 그 위의 빛의 일부만을 투과시키는 투과율 조절막(220)과 크롬 등의 불투명한 물질로 이루어진 불투명층(230)의 이중층으로 형성한다. 이 때, B 영역에 대응할 부분은 투과율 조절막(220)과 불투명층(230)을 모두 제거하여 빛의 투과율이 90% 이상이 되도록 하고, C 영역에 대응할 부분은 불투명층(230)만을 제거하여 빛의 투과율이 20% 내지 40% 사이가 되도록 하며, A 영역에 대응할 부분은 두 층(220, 230)을 모두 남겨 빛의 투과율이 3% 이하가 되도록 한다.

다른 형태의 광마스크로는 불투명한 층만을 형성하되 B 영역에 대응할 부분은 불투명층을 제거하고, C 영역에 대응할 부분에는  $2.5\mu\text{m}$  이하의 크기로 슬릿 또는 모자이크 무늬를 형성하여 빛의 투과율을 낮춘 것도 사용할 수 있다.

이러한 방법으로 감광막(PR)을 노광한 후, 현상하면 위치에 따라 두께가 다른 감광막 패턴(PR)이 만들어진다. 즉, 게이트 패드(24) 및 데이터 패드(64) 일부 위에는 감광막이 형성되어 있지 않고, 게이트 패드(24)와 데이터 패드(64)를 제외한 모든 주변부와 화면 표시부에서 드레인 전극(66)의 일부를 제외한

데이터 배선(62, 64, 65), 드레인 전극(66)과 소스 전극(65) 사이의 반도체층(40)의 상부에는 두꺼운 감광막이 형성되어 있으며 드레인 전극(66) 일부 위 및 화면 표시부에서 기타 부분에는 얇은 감광막이 형성되어 있다.

이어, 건식 식각 방법으로 감광막 패턴(PR) 및 그 하부의 막들, 즉 보호막, 반도체층 및 게이트 절연막에 대한 식각을 진행한다.

이때, 앞서 언급한 것처럼, 감광막 패턴(PR) 중 두꺼운 부분은 완전히 제거되지 않고 남아 있어야 하고, 감광막이 없는 부분 하부의 보호막, 반도체층 및 게이트 절연막이 제거되어야 하고, 얇은 부분 하부에서는 보호막과 반도체층만을 제거하고 게이트 절연막은 제거되지 않아야 하며, 드레인 전극(66) 상부에는 보호막만 제거되어야 한다.

이를 위해서는 감광막 패턴(PR)과 그 하부의 막들을 동시에 식각할 수 있는 건식 식각 방법을 사용하는 것이 바람직하다.

또한, 얇은 두께의 감광막과 함께 보호막 및 반도체층을 식각할 때, 얇은 두께의 감광막이 불균일한 두께로 남아 게이트 절연막의 상부에 반도체층의 일부가 잔류할 수 있다. 이를 방지하기 위하여 감광막 패턴(PR)과 그 하부의 막들을 여러 단계로 나누어 식각할 수 있다. 즉, 1차로 식각하여 감광막이 모두 제거된 부분의 보호막, 반도체층, 및 게이트 절연막을 제거하여 패드(24, 64)를 노출시킨 다음, 감광막 패턴을 애싱(ashing)하여 감광막 패턴의 얇은 부분을 제거하고 노출되는 보호막을 제거하여 보호막 패턴(80)을 완성한다. 이 때, 패드(24, 64)에 잔류할 수 있는 게이트 절연막도 제거하여 게이트 절연막 패턴(30)도 완성한다. 다음, 보호막 제거로 인해 노출된 반도체층에 대한 식각을 진행하여 반도체 패턴(40)을 완성하고, 감광막 패턴을 제거한다.

이상에서는 보호막 위에 감광막(PR)을 따로 도포하고 이를 노광 현상하여 위치에 따라 두께가 다른 감광막(PR) 패턴을 형성한 다음, 이 감광막(PR) 패턴과 함께 그 하부의 보호막, 반도체층 및 게이트 절연막을 식각하는 방법을 사용하였으나, 보호막 자체를 감광성 유기 물질, 예를 들어 일본의 JSR사가 공급하는 제품 코드 PC 403 따위의 물질로 형성하고 노광 및 현상 공정을 통하여 보호막을 위치에 따라 두께가 다른 패턴을 가지도록 형성한 다음, 이 보호막 패턴과 함께 그 하부의 반도체층과 게이트 절연막을 식각할 수 있다. 이렇게 하면 감광막을 따로 도포하는 공정이나 최종적으로 남아 있는 감광막(PR)을 애싱하여 제거하는 공정을 생략할 수 있다.

다음, 도 6a 내지 도 6b에 나타낸 바와 같이, 유기 블랙 매트릭스를 증착하고 제4 사진 식각 공정으로 패터닝하여 블랙 매트릭스 패턴(90)을 형성한다. 이 때, 블랙 매트릭스 패턴(90)은 사진 식각 공정을 모두 거치지 않고 형성할 수도 있다. 즉, 검은색 감광막을 도포하고, 노광한 후 현상함으로써 감광막 패턴을 형성하고 이것을 블랙 매트릭스 패턴(90)으로 사용할 수도 있다.

이어서, 도 7a 내지 도 7b에 나타낸 바와 같이, 데이터선(62) 사이의 영역에 적, 녹, 청의 컬러 필터(100)를 스크린 인쇄를 사용하여 형성하거나, 또는 적, 녹, 청의 안료를 포함하는 감광막을 차례로 도포하고 마스크를 이용한 제 5 내지 제7 사진 식각 공정으로 패터닝하여 형성한다.

마지막으로, 도 1 및 도 2에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 IT0층을 증착하고 제5 또는 제8 마스크를 사용하여 식각하여 화소 전극(71), 보조 게이트 패드(73) 및 보조 데이터 패드(74)를 형성한다.

이상과 같이 박막 트랜지스터 기판을 형성하면, 대향 기판에는 공통 전극만을 형성하면 되므로 상하 기판을 모두 고려할 때 총 사진 식각 공정 수가 1회 감소하게 된다.

이처럼 다수의 박막을 한 번의 사진 식각 공정을 통하여 서로 다른 패턴으로 형성함으로써 사진 식각 공정의 수를 줄일 수 있고, 블랙 매트릭스(90)와 컬러 필터(100)를 박막 트랜지스터 기판에 형성함으로써 상하 기판 조립시의 정렬 오차를 고려할 필요가 없게 되고, 이에 따라 액정 표시 장치의 개구율을 향상시킬 수 있다.

그러면 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에 대하여 설명한다.

도 8은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 9는 도 8의 IX-IX'선에 대한 단면도이다.

제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 제1 실시예와 거의 동일하다. 다만, 블랙 매트릭스가 형성되어 있지 않다는 점이 다르다. 따라서 제조 방법 또한 제1 실시예의 제조 방법에서 블랙 매트릭스를 형성하는 공정을 생략하면 된다.

이렇게 하면, 제1 실시예에 비하여 상하판 정렬 오차를 고려해야 하므로 개구율을 저하되나 상판에 형성하는 블랙 매트릭스를 크롬 등의 도전 물질로 공통 전극과 접촉시켜 형성할 수 있어서, 공통 전극의 저항을 감소시킬 수 있다.

본 발명의 제3 실시예에 따른 박막 트랜지스터 기판에 대하여 설명한다.

도 10은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 11은 도 10의 XI-XI'선에 대한 단면도이다.

제3 실시예도 게이트 배선(22, 24, 26) 및 게이트 절연막 패턴(30)은 제1 실시예와 동일한 구조를 가진다.

게이트 절연막 패턴(30) 위에는 반도체 패턴(40)과 저항성 접촉층 패턴(50)이 연속으로 형성되어 있고, 접촉층 패턴(50) 위에는 데이터 배선(62, 64, 65, 66)이 형성되어 있다. 이 때, 접촉층 패턴(50)은 데이터 배선(62, 64, 65, 66)과 동일한 형태로 형성되어 있으며, 반도체 패턴(40)도 소스 전극(65)과 드레인 전극(66) 사이의 박막 트랜지스터의 채널이 되는 부분이 연결되어 있는 점을 제외하고는 데이터 배선(62, 64, 65, 66)과 동일한 형태를 가지고 있다.

데이터 배선(62, 64, 65, 66)의 위에는 게이트 패드(24), 데이터 패드(64) 및 드레인 전극(66)을 노출시키는 접착구(81, 83, 84)를 가지는 보호막 패턴(80)이 형성되어 있다.

데이터 배선(62, 64, 65, 66) 및 게이트 배선(62, 64, 66) 상부의 보호막 패턴(80)의 위에는 유기 블랙 매트릭스 패턴(90)이 형성되어 있다. 유기 블랙 매트릭스 패턴(90)은 드레인 전극(66)을 노출시키는 접착구를 가지고 있고, 이 접착구는 보호막 패턴(80)이 가지고 있는 접착구(81)의 중앙에 더 좁게 형성되어 있다.

이웃하는 두 데이터선(62) 사이의 보호막(80) 위에는 컬러 필터(100)가 형성되어 있고, 컬러 필터(100)의 위에는 블랙 매트릭스(90)에 형성되어 있는 접착구를 통하여 드레인 전극과 연결되어 있는 화소 전극(71)이 형성되어 있다.

이상에서 설명한 제3 실시예에 따른 박막 트랜지스터 기판의 각 부분에 사용되는 물질은 제1 실시예에서와 같다.

이제 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판을 제조하는 방법을 도 12a 내지 도 14b와 앞서의 도 10과 도 11을 참고로 하여 설명한다.

도 12a는 본 발명의 제3 실시예에 따라 박막 트랜지스터 기판을 제조하는 중간 단계에서의 기판의 배치도이고, 도 12b는 도 12a는 XI1b-XI1b'선에 대한 단면도이고, 도 13은 XI1b-XI1b'선에 대한 단면도로서 도 14b의 패턴을 형성하기 위한 사진 식각 과정에서 기판과 광마스크를 정렬한 상태의 도면이고, 도 14a는 도 12a 및 도 12b의 다음 단계에서의 기판의 배치도이고, 도 14b는 도 14a의 XIVb-XIVb'선에 대한 단면도이다.

먼저, 절연 기판(10) 위에 게이트 배선(22, 24, 26)을 제1 사진 식각 공정을 사용하여 형성하고, 게이트 배선 위에 게이트 절연막, 반도체층, 접착층 및 금속층을 연속으로 적층하고, 금속층, 접착층 및 반도체층을 제2 사진 식각 공정을 통하여 동시에 패터닝하여 도 12a 및 도 12b에 나타난 바와 같은 각 박막의 패턴을 형성한다. 즉, 반도체 패턴(40), 접착층 패턴(50) 및 데이터 배선(62, 64, 65, 66)의 거의 동일한 형태를 가지되, 소스 전극(65)과 드레인 전극(66) 사이의 영역에서 반도체 패턴(40)이 연결되어 있다는 점만이 다른 3개 박막층 패턴을 형성한다.

이를 위해서 사용하는 방법은 제1 실시예에서 보호막, 반도체층 및 게이트 절연막을 동시에 패터닝할 때 사용하는 방법을 그대로 사용한다. 즉, 도 13에 나타난 바와 같이, 감광막(PR), 바람직하게는 양성 감광막을 적층한 다음, 데이터 배선(62, 64, 65, 66)이 형성되어야 할 부분에는 광마스크(200)의 투과율 조절막(220)과 불투명층(230)이 모두 형성되어 있는 부분을 대응시키고, 소스 전극(65)과 드레인 전극(66) 사이의 반도체 패턴(40)이 남아 있어야 하는 부분에는 투과율 조절막(220)만 형성되어 있는 부분을 대응시키며, 기타의 부분에는 투명 기판(210)만 형성되어 있는 부분을 대응시켜 노광한다. 다음, 감광막(PR)을 현상하여 위치에 따라 두께가 다른 감광막 패턴을 형성하고, 이 감광막 패턴과 함께 그 하부의 금속층, 접착층 및 반도체층을 식각한다. 이 식각 과정을 세분화하면 다음과 같다.

먼저, 노출되어 있는 금속층을 식각하여 그 하부의 중간층을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 금속층은 식각되고 감광막 패턴은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 금속층만을 식각하고 감광막 패턴은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴도 함께 식각되는 조건하에서 행할 수 있다.

금속층이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 금속층이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 금속층이 Cr인 습식 식각의 경우에는 식각 액으로  $\text{CeNH}_3\text{O}_3$ 를 사용할 수 있고, 금속층이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는  $\text{CF}_4$ 와  $\text{HCl}$ 의 혼합 기체나  $\text{CF}_4$ 와  $\text{O}_2$ 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 데이터 배선(62, 64, 65, 66) 패턴이 형성되고 그 하부의 접착층이 드러난다. 다만 소스 및 드레인 전극(65, 66)은 분리되지 않고 연결되어 있다. 또한 건식 식각을 사용한 경우 감광막 패턴도 어느 정도의 두께로 식각된다.

이어, 노출된 접착층 및 그 하부의 반도체층 함께 건식 식각 방법으로 동시에 제거한다. 이 단계에서 반도체 패턴(40)이 완성된다.

이어 애싱(ashing)을 통하여 채널부의 소스 전극과 드레인 전극 사이의 금속층 표면에 남아 있는 감광막 찌꺼기를 제거한다.

다음, 소스 전극과 드레인 전극 사이의 금속층 및 그 하부의 접착층을 식각하여 제거한다. 이 때, 식각은 금속층과 접착층 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 금속층에 대해서는 습식 식각으로, 접착층에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 금속층과 접착층의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부에 남은 반도체 패턴의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면,  $\text{SF}_6$ 와  $\text{O}_2$ 의 혼합 기체를 사용하여 금속층을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 금속층의 측면은 식각되지만, 건식 식각되는 접착층은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 접착층 및 반도체층을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한  $\text{CF}_4$ 와  $\text{HCl}$ 의 혼합 기체나  $\text{CF}_4$ 와  $\text{O}_2$ 의 혼합 기체를 들 수 있으며,  $\text{CF}_4$ 와  $\text{O}_2$ 를 사용하면 균일한 두께로 반도체 패턴(40)을 남길 수 있다.

이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66)과 그 하부의 접착층 패턴(50)이 완성된다.

마지막으로 데이터 배선 위에 남아 있는 감광막을 제거한다.



앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

다음, 도 14a 및 도 14b에 나타난 바와 같이, 데이터 배선(62, 64, 65, 66)의 위에 보호막(80)을 적층하고 제3 사진 식각 공정을 통하여 패터닝하여 접촉구(81, 83, 84)를 형성한 다음, 유기 블랙 매트릭스를 적층하고 제4 사진 식각 공정을 통하여 패터닝하여 블랙 매트릭스 패턴(90)을 형성한다.

이어서, 적, 녹, 청의 컬러 필터(100)를 스크린 인쇄를 사용하여 형성하거나, 또는 적, 녹, 청색 중의 어느 한가지 색의 안료를 포함하는 감광막을 도포하고 마스크를 통하여 노광하고 현상하는 과정을 적, 녹, 청색에 대하여 각각 진행함으로써 형성한다.

마지막으로, 도 10 및 도 11에 나타난 바와 같이, IT0층을 증착하고 제5 또는 제8 사진 식각 공정을 사용하여 패터닝함으로써 화소 전극(71), 보조 게이트 패드(73) 및 보조 데이터 패드(74)를 형성한다.

이상의 방법 의하에도 사진 식각 공정 수를 감소시킬 수 있고, 개구율은 증가시킬 수 있다.

본 발명의 제4 실시예에 따른 박막 트랜지스터 기판에 대하여 설명한다.

도 15는 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 16은 도 15의 XVI-XVI'선에 대한 단면도이다.

제4 실시예에 따른 박막 트랜지스터 기판은 보호막이 형성되어 있지 않은 점을 제외하고는 제3 실시예와 동일하다. 즉, 블랙 매트릭스 패턴(90)이 보호막의 역할을 겸하고 있다. 다만, 주변부에도 블랙 매트릭스 패턴(90)이 형성되어 있어야 하는 점도 제3 실시예와 다르나, 제3 실시예에서도 주변부에 블랙 매트릭스 패턴(90)을 형성할 수도 있다. 따라서 제조 방법 또한 제3 실시예의 제조 방법에서 보호막 패턴을 형성하는 과정을 생략한 것과 동일하다.

이렇게 하면, 사진 식각 공정 수를 1회 더 줄일 수 있다.

본 발명의 제5 실시예에 따른 박막 트랜지스터 기판에 대하여 설명한다.

도 17은 본 발명의 제5 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 18은 도 17의 XVII-XVII'선에 대한 단면도이고, 도 19는 도 17의 XVIII-XVIII'선에 대한 단면도로서 박막 트랜지스터 기판을 제조하는 중간 과정에서의 광마스크와 기판의 정렬 상태를 나타내는 도면이다.

도 17 및 도 18에 나타난 바와 같이, 제5 실시예에 따른 박막 트랜지스터 기판은 제1 실시예에서 보호막을 따로 형성하지 않고 블랙 매트릭스(90)로 하여금 보호막의 역할을 겸하도록 한 것이다. 따라서, 제조 방법도 제1 실시예에서 보호막 대신 블랙 매트릭스(90)를 사용하여 블랙 매트릭스(90)와 그 하부의 반도체층(40) 및 게이트 절연막(30)을 동시에 패터닝하고 따로 블랙 매트릭스(90)를 형성하는 공정을 생략하면 동일하다. 즉, 절연 기판(10) 위에 게이트 배선(22, 24, 26)을 형성하고, 그 위에 게이트 절연막, 반도체층, 접촉층 및 금속층을 연속으로 증착한 다음, 금속층과 접촉층을 함께 패터닝하여 데이터 배선(62, 64, 65, 66)과 접촉층 패턴(50)을 형성한다. 이어서, 도 19에 나타난 바와 같이, 유기 블랙 매트릭스층을 적층하고, 블랙 매트릭스층 위에 감광막을 도포한 다음, 위치에 따라 광투과율이 3단계로 분리되는 마스크를 통하여 노광한다. 다음, 감광막을 현상하여 감광막 패턴을 형성하고 감광막 패턴과 함께 블랙 매트릭스층, 반도체층, 게이트 절연막을 식각하여 각 패턴(30, 40, 90)을 완성하고, 컬러 필터(100)와 컬러 필터(100) 위의 화소 전극(71)과 보조 패드(73, 74)를 형성한다.

이 때, 블랙 매트릭스층을 검은색 안료를 포함하는 감광 물질로 형성할 수 있다. 이 경우에는 블랙 매트릭스층 위에 따로 감광막 패턴을 형성하지 않고 블랙 매트릭스층을 위치에 따라 광투과율이 3단계로 분리되는 마스크를 통하여 노광하고 현상하여 위치에 따라 두께가 다른 블랙 매트릭스층을 형성하고, 이 블랙 매트릭스층과 함께 그 하부의 반도체층, 게이트 절연막을 식각하여 각 패턴(30, 40, 90)을 형성할 수 있다.

이렇게 하면, 제1 실시예에 비하여 사진 식각 공정 수가 1회 더 감소한다.

마지막으로, 본 발명의 제6 실시예에 대하여 설명한다.

도 20은 본 발명의 제6 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 21은 도 20의 XXI-XXI'선에 대한 단면도이고, 도 22는 도 20의 XXII-XXII'선에 대한 단면도로서 박막 트랜지스터 기판을 제조하는 중간 과정에서의 광마스크와 기판의 정렬 상태를 나타내는 도면이다.

도 20 및 도 21에 나타난 바와 같이, 제6 실시예에 따른 박막 트랜지스터 기판은 제5 실시예와 게이트 절연막 패턴(30)을 제외하고는 동일하다. 즉, 제6 실시예에서는 이웃하는 두 데이터선(62) 사이의 게이트 절연막이 제거되어 있어 반도체 패턴(40)과 동일한 형태로 되어 있고, 절연 기판(10) 및 게이트선(22)의 위에 직접 컬러 필터(100)가 형성되어 있다. 이 때, 두 데이터선(62) 사이의 게이트 절연막이 제거되어 있는 부분의 최소 폭(W)은 1 $\mu$ m 이상이 되어야 한다. 즉, 반도체층(40)의 분리 폭이 1 $\mu$ m 이상이 되어야 한다는 것이다. 이는 이웃하는 데이터선이 반도체층을 통하여 연결됨으로써 발생할 수 있는 누설 전류를 방지하기 위한 것이다.

제6 실시예에 따른 박막 트랜지스터 기판을 제조하는 방법도 제5 실시예에 따른 제조 방법과 유사하나 광투과율이 3단계로 분할되는 광마스크를 사용하지 않는다는 점이 다르다. 이를 도 22와 앞서의 도 20 및 도 21을 참고로 하여 설명한다.

먼저, 절연 기판(10) 위에 게이트 배선(22, 24, 26)을 형성하고, 그 위에 게이트 절연막, 반도체층, 접촉층 및 금속층을 연속으로 증착한 다음, 금속층과 접촉층을 함께 패터닝하여 데이터 배선(62, 64, 65, 66)과 접촉층 패턴(50)을 형성한다.

이어서, 도 22에 나타난 바와 같이, 유기 블랙 매트릭스층을 적층하고, 블랙 매트릭스층 위에 감광막을 도포한 다음, 투명한 부분과 불투명한 부분만으로 이루어지는 일반적인 마스크를 통하여 노광한다. 다음, 감광막을 현상하여 감광막 패턴을 형성하고 감광막 패턴을 식각 마스크로 하여 블랙 매트릭스층, 반도체층, 게이트 절연막을 식각하여 각 패턴(30, 40, 90)을 완성한다. 이 때, 게이트 패드(24)를 노출시키는 접착구(83), 데이터 패드(64)를 노출시키는 접착구(84), 드레인 전극(66)을 노출시키는 접착구(81) 및 이웃하는 두 데이터선(62) 사이의 기판(10) 및 게이트선(22)을 노출시키는 개구부가 형성된다.

이 때, 블랙 매트릭스층을 검은색 안료를 포함하는 감광 물질로 형성할 수 있다. 이 경우에는 블랙 매트릭스층 위에 따로 감광막 패턴을 형성하지 않고 블랙 매트릭스층을 마스크를 통하여 노광하고 현상하여 블랙 매트릭스 패턴(90)을 형성하고 이를 식각 스크로 하여 그 하부의 반도체층과 게이트 절연막을 식각하여 각 패턴(30, 40)을 형성할 수 있다.

이어서, 개구부를 채우는 컬러 필터(100)와 컬러 필터(100) 위의 화소 전극(71)과 보조 패드(73, 74)를 형성한다. 이 때, 컬러 필터(100)는 게이트 절연막이 제거되어 노출된 게이트선(22)을 완전히 덮고 있어서 화소 전극(71)으로부터 게이트선(22)을 절연시키고 있다.

이상과 같이 하면, 투명한 부분과 불투명한 부분만으로 이루어지는 일반적인 광마스크를 사용하면서도 액정 표시 장치 제조를 위한 사진 식각 공정의 수를 2회나 감소시킬 수 있다.

이상의 모든 실시예에서 박막 트랜지스터 기판의 각 요소들은 제1 실시예에서 설명한 물질로 형성될 수 있다.

또한 이러한 박막 트랜지스터 기판은 이외에도 여러 가지 변형된 형태 및 방법으로 제조할 수 있다.

#### 발명의 효과

이상과 같은 방법을 박막 트랜지스터 기판을 제조하면 액정 표시 장치 제조를 위한 총 사진 식각 공정의 수를 줄일 수 있어서 제조 비용을 절감할 수 있고, 블랙 매트릭스와 컬러 필터를 박막 트랜지스터 기판에 형성함으로써 상하 기판 조립시의 정렬 오차를 고려할 필요가 없게 됨에 따라 액정 표시 장치의 개구율을 향상시킬 수 있다.

#### (57) 청구의 범위

##### 청구항 1

절연 기판,

상기 절연 기판 위에 형성되어 있으며, 가로 방향으로 뻗어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선 위에 형성되어 있으며 상기 게이트 패드를 노출시키는 제1 접착구를 가지는 제1 절연막,

상기 제1 절연막 위에 세로 방향으로 길게 형성되어 있는 반도체 패턴,

상기 반도체 패턴의 위에 형성되어 있으며, 세로 방향으로 길게 뻗어 있는 데이터선, 상기 데이터선의 일부인 소스 전극, 상기 데이터선의 일단에 형성되어 있는 데이터 패드 및 상기 소스 전극과 분리되어 마주보고 있는 드레인 전극을 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있고, 상기 반도체 패턴과 실질적으로 동일한 외곽선을 가지며, 상기 제1 접착구를 통하여 상기 게이트 패드를 노출시키는 제2 접착구, 상기 데이터 패드를 노출시키는 제3 접착구 및 상기 드레인 전극을 노출시키는 제4 접착구를 가지는 제2 절연막,

인접한 두 줄의 상기 게이트선과 데이터선이 교차하여 이루는 화소 영역에 형성되어 있는 컬러 필터,

상기 컬러 필터 위에 형성되어 있으며 상기 제4 접착구를 통하여 상기 드레인 전극과 연결되어 있는 화소 전극

을 포함하는 박막 트랜지스터 기판.

##### 청구항 2

제1항에서,

상기 반도체층과 상기 데이터 배선 사이에 형성되어 있으며 상기 데이터 배선과 실질적으로 동일한 외곽선을 가지는 접착층을 더 포함하는 박막 트랜지스터 기판.

##### 청구항 3

제1항에서,

상기 게이트 패드와 상기 데이터 패드를 각각 덮는 보조 게이트 패드와 보조 데이터 패드를 더 포함하는 박막 트랜지스터 기판.

##### 청구항 4

제1항, 제2항 및 제3항 중의 어느 한 항에서,

상기 데이터 배선과 게이트 배선 상부의 상기 보호막 위에 형성되어 있는 광차단성을 갖는 유기막 패턴

을 더 포함하는 박막 트랜지스터 기판.

#### 청구항 5

제4항에서,

상기 광차단성을 갖는 유기막 패턴에는 상기 제4 접촉구를 통하여 상기 드레인 전극을 노출시키는 제5 접촉구가 형성되어 있으며, 상기 제5 접촉구는 상기 제4 접촉구보다 좁은 것을 특징으로 하는 박막 트랜지스터 기판.

#### 청구항 6

제1항, 제2항 및 제3항 중의 어느 한 항에서,

상기 제2 절연막은 광차단성을 갖는 유기막인 것을 특징으로 하는 박막 트랜지스터 기판.

#### 청구항 7

제6항에서,

상기 제1 절연막의 외곽선이 상기 반도체 패턴과 실질적으로 동일한 것을 특징으로 하는 박막 트랜지스터 기판.

#### 청구항 8

제7항에서,

이웃하는 두 상기 데이터 배선 하부의 반도체 패턴 사이의 최소 간격이  $1\mu\text{m}$  이상인 것을 특징으로 하는 박막 트랜지스터 기판.

#### 청구항 9

절연 기판,

상기 절연 기판 위에 형성되어 있으며, 가로 방향으로 뻗어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선 위에 형성되어 있으며 상기 게이트 패드를 노출시키는 제1 접촉구를 가지는 제1 절연막,

상기 제1 절연막 위에 세로 방향으로 길게 형성되어 있는 반도체 패턴,

세로 방향으로 길게 뻗어 있는 데이터선, 상기 데이터선의 일부인 소스 전극, 상기 데이터선의 일단에 형성되어 있는 데이터 패드 및 상기 소스 전극과 분리되어 마주보고 있는 드레인 전극을 포함하며, 상기 반도체 패턴의 위에 형성되어 있고, 상기 소스 전극과 상기 드레인 전극의 사이를 제외하고는 상기 반도체 패턴과 실질적으로 동일한 외곽선을 가지도록 형성되어 있는 데이터 배선,

상기 데이터 배선의 위에 형성되어 있으며 상기 제1 접촉구를 노출시키는 제2 접촉구와 상기 데이터 패드를 노출시키는 제3 접촉구 및 상기 드레인 전극을 노출시키는 제4 접촉구를 가지는 제2 절연막,

상기 인접한 두 줄의 상기 게이트선과 데이터선이 교차하여 이루는 화소 영역의 보호막 위에 형성되어 있는 컬러 필터,

상기 컬러 필터 위에 형성되어 있으며 상기 제4 접촉구를 통하여 상기 드레인 전극과 연결되어 있는 화소 전극

을 포함하는 박막 트랜지스터 기판.

#### 청구항 10

제9항에서,

상기 반도체층과 상기 데이터 배선 사이에 형성되어 있으며 상기 데이터 배선과 실질적으로 동일한 외곽선을 가지는 접촉구를 더 포함하는 박막 트랜지스터 기판.

#### 청구항 11

제9항에서,

상기 게이트 패드와 상기 데이터 패드를 각각 덮는 보조 게이트 패드와 보조 데이터 패드를 더 포함하는 박막 트랜지스터 기판.

#### 청구항 12

제9항, 제10항 및 제11항 중의 어느 한 항에서,

상기 데이터 배선과 게이트 배선 상부의 상기 보호막 위에 형성되어 있는 광차단성을 갖는 유기막 패턴을 더 포함하는 박막 트랜지스터 기판.

#### 청구항 13

제12항에서,

상기 광차단성을 갖는 유기막 패턴에는 상기 제4 접촉구를 통하여 상기 드레인 전극을 노출시키는 제5

접촉구가 형성되어 있으며, 상기 제5 접촉구는 상기 제4 접촉구보다 좁은 것을 특징으로 하는 박막 트랜지스터 기판.

#### 청구항 14

제9항, 제10항 및 제11항 중의 어느 한 항에서,

상기 제2 절연막은 광차단성을 갖는 유기막인 것을 특징으로 하는 박막 트랜지스터 기판.

#### 청구항 15

절연 기판 위에 가로 방향으로 뻗어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선 위에 제1 절연막, 반도체층 및 금속층을 연속으로 적층하는 단계,

상기 금속층을 패터닝하여 세로 방향으로 길게 뻗어 있는 데이터선, 상기 데이터선의 일부인 소스 전극, 상기 데이터선의 일단에 형성되어 있는 데이터 패드 및 상기 소스 전극과 분리되어 마주보고 있는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선 위에 제2 절연막을 적층하는 단계,

상기 제2 절연막, 반도체층 및 게이트 절연막을 함께 패터닝하여 상기 게이트 패드, 데이터 패드 및 드레인 전극을 각각 노출시키는 제1 내지 제3 접촉구를 형성하고 인접한 데이터선 사이의 제1 절연막을 노출시키는 개구부를 형성하는 단계,

상기 개구부를 통하여 노출되어 있는 제1 절연막 위에 컬러 필터를 형성하는 단계,

상기 컬러 필터 위에 화소 전극을 형성하는 단계,

를 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 16

제15항에서,

상기 반도체층 위에 접촉층을 더 적층하고, 상기 금속층을 패터닝하는 단계에서 상기 접촉층도 함께 패터닝하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 17

제16항에서,

상기 제2 절연막, 접촉층, 반도체층 및 제1 절연막을 함께 패터닝하는 단계는

상기 제2 절연막 위에 감광막을 적층하는 단계,

상기 감광막을 광투과율이 위치에 따라 3단계 이상으로 분할되는 광마스크를 통하여 노광하는 단계,

상기 감광막을 현상하는 단계,

상기 감광막과 함께 상기 제2 절연막, 접촉층, 반도체층 및 제1 절연막을 식각하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 18

제15항, 제16항 및 제17항 중의 어느 한 항에서,

상기 제2 절연막, 반도체층 및 제1 절연막을 함께 패터닝하는 단계 다음에 광차단성을 갖는 유기막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 19

제15항, 제16항 및 제17항 중의 어느 한 항에서,

상기 제2 절연막은 광차단성 유기막인 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 20

절연 기판 위에 가로 방향으로 뻗어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선 위에 제1 절연막, 반도체층 및 금속층을 연속으로 적층하는 단계,

상기 금속층과 반도체층을 함께 패터닝하여 세로 방향으로 길게 뻗어 있는 데이터선, 상기 데이터선의 일부인 소스 전극, 상기 데이터선의 일단에 형성되어 있는 데이터 패드 및 상기 소스 전극과 분리되어 마주보고 있는 드레인 전극을 포함하는 데이터 배선을 형성하고, 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 제외한 상기 데이터 배선 사이의 반도체층을 제거하는 단계,

상기 데이터 배선 위에 각각 상기 게이트 패드, 데이터 패드 및 드레인 전극을 노출시키는 제1 내지 제3 접촉구를 가지는 제2 절연막을 형성하는 단계,

상기 데이터 배선 사이의 영역에 컬러 필터를 형성하는 단계,

상기 컬러 필터 위에 상기 제3 접촉구를 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단

계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 21

제20항에서,

상기 반도체층 위에 접촉층을 더 적층하고, 상기 금속층과 반도체층을 패터닝하는 단계에서 상기 접촉층도 함께 패터닝하여 상기 데이터 배선과 실질적으로 동일한 외곽선을 가지는 접촉층 패턴을 형성하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 22

제21항에서,

상기 금속층, 접촉층 및 반도체층을 함께 패터닝하는 단계는

상기 금속층 위에 감광막을 적층하는 단계,

상기 감광막을 광투과율이 위치에 따라 3단계 이상으로 분할되는 광마스크를 통하여 노광하는 단계,

상기 감광막을 현상하는 단계,

상기 감광막과 함께 상기 금속층, 접촉층 및 반도체층을 식각하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 23

제20항, 제21항 및 제22항 중의 어느 한 항에서,

상기 금속층과 반도체층을 함께 패터닝하는 단계 다음에 광차단성을 갖는 유기막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 24

제20항, 제21항 및 제22항 중의 어느 한 항에서,

상기 제2 절연막은 광차단성을 갖는 유기막 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 25

절연 기판 위에 가로 방향으로 뻗어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선 위에 제1 절연막, 반도체층 및 금속층을 연속으로 적층하는 단계,

상기 금속층을 패터닝하여 세로 방향으로 길게 뻗어 있는 데이터선, 상기 데이터선의 일부인 소스 전극, 상기 데이터선의 일단에 형성되어 있는 데이터 패드 및 상기 소스 전극과 분리되어 마주보고 있는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선 위에 제2 절연막을 적층하는 단계,

상기 제2 절연막, 반도체층 및 게이트 절연막을 함께 패터닝하여 상기 게이트 패드, 데이터 패드 및 드레인 전극을 각각 노출시키는 제1 내지 제3 접촉구를 형성하고 인접한 데이터선 사이의 절연 기판과 게이트 배선을 노출시키는 개구부를 형성하는 단계,

상기 개구부를 통하여 노출되어 있는 절연 기판 및 게이트 배선 위에 컬러 필터를 형성하는 단계,

상기 컬러 필터 위에 화소 전극을 형성하는 단계,

를 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 26

제25항에서,

상기 반도체층 위에 접촉층을 더 적층하고, 상기 금속층을 패터닝하는 단계에서 상기 접촉층도 함께 패터닝하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

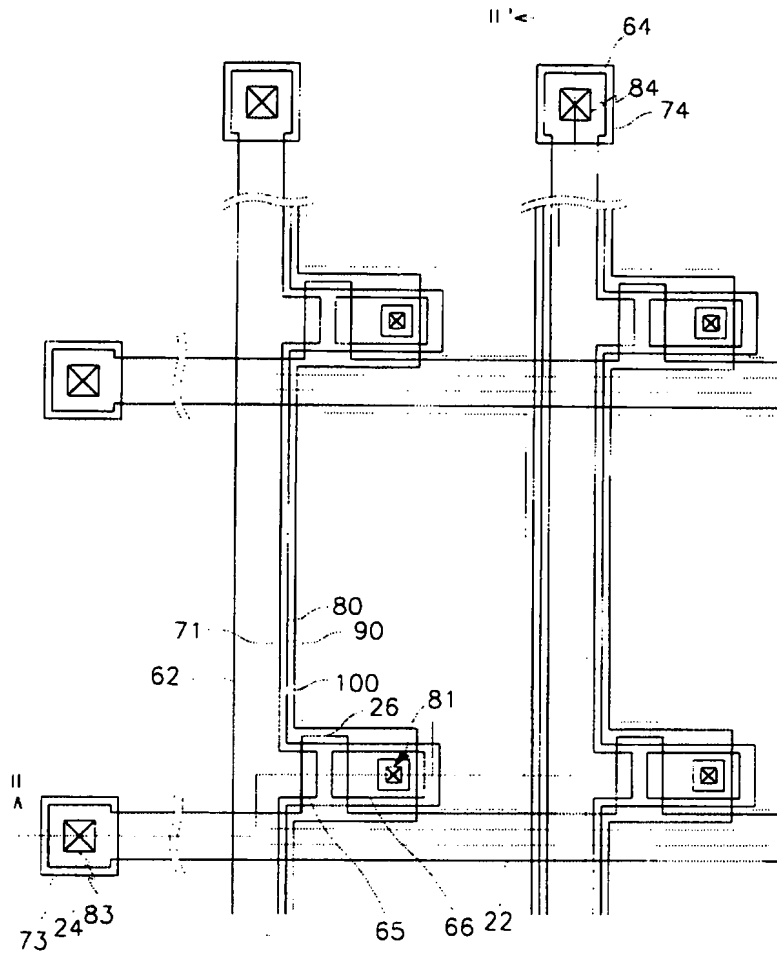
#### 청구항 27

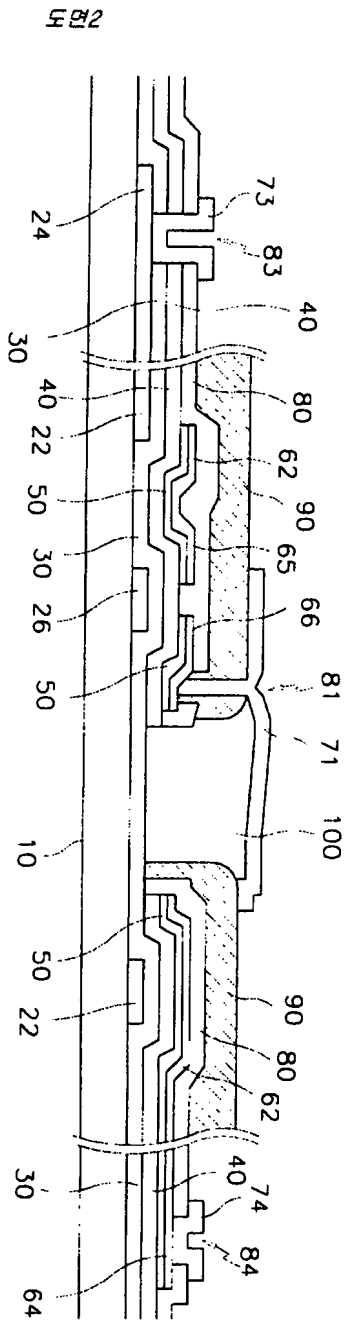
제25항 또는 제26항에서,

상기 제2 절연막은 광차단성을 갖는 유기막인 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

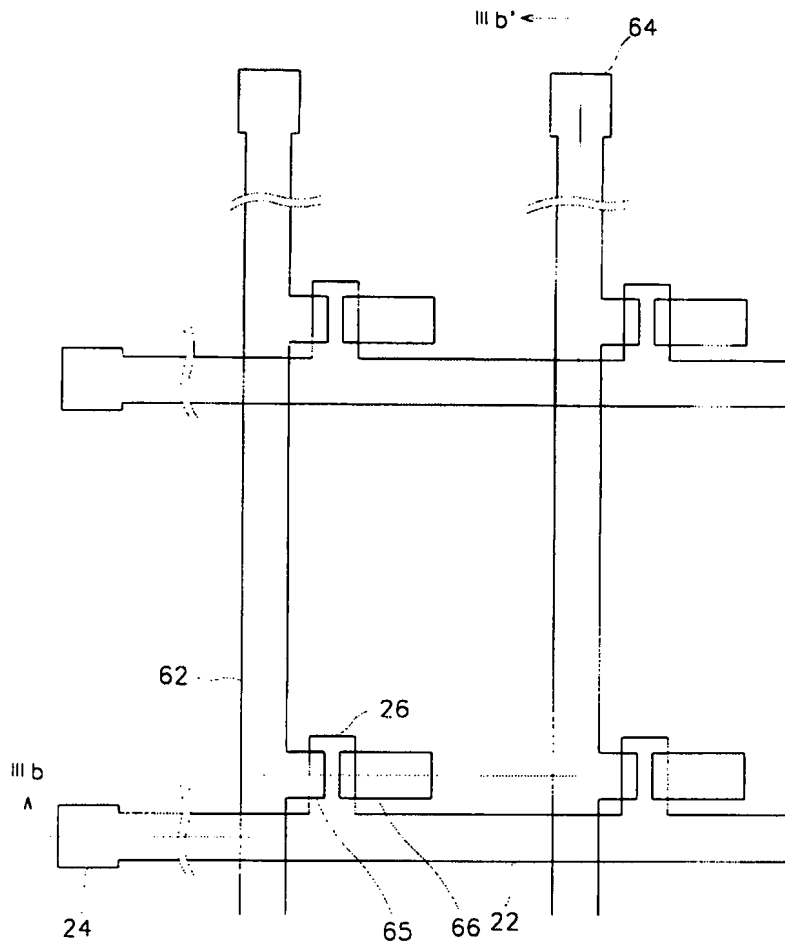
도면

도면1

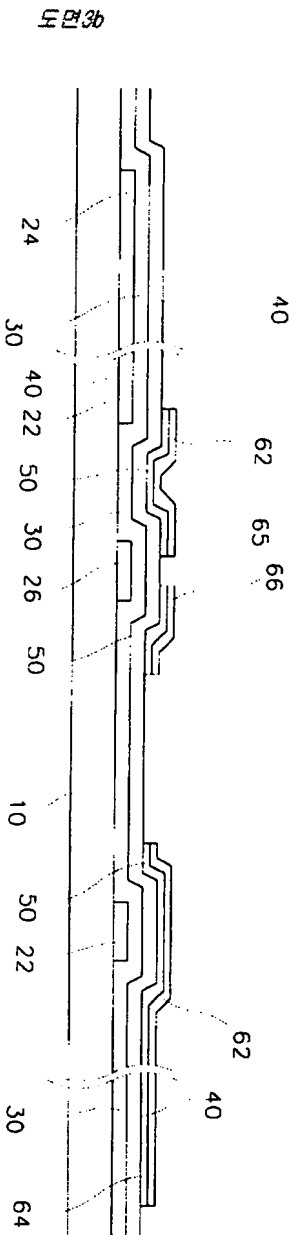




도면3a

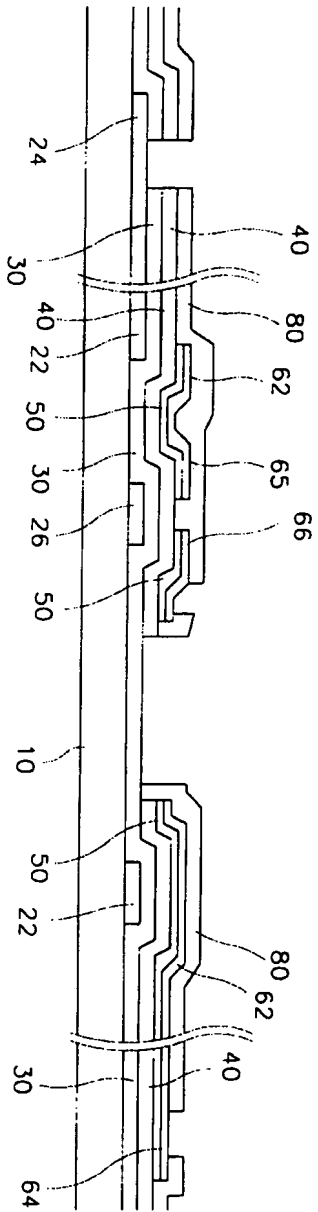




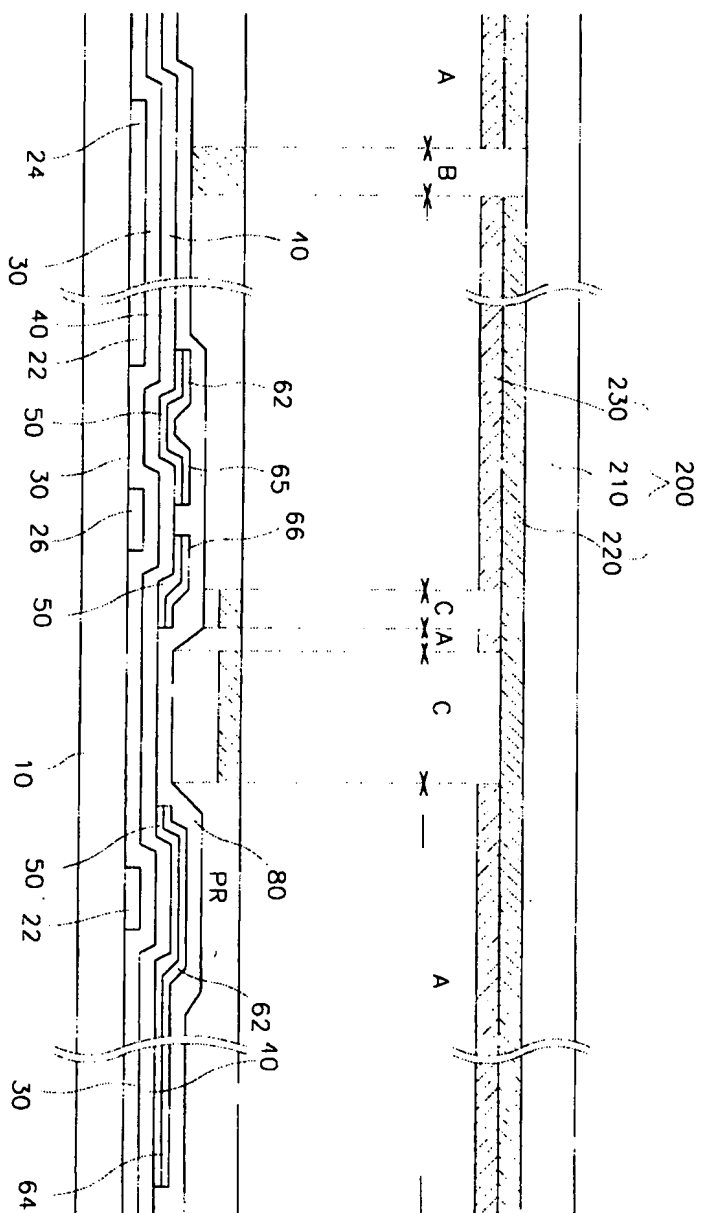




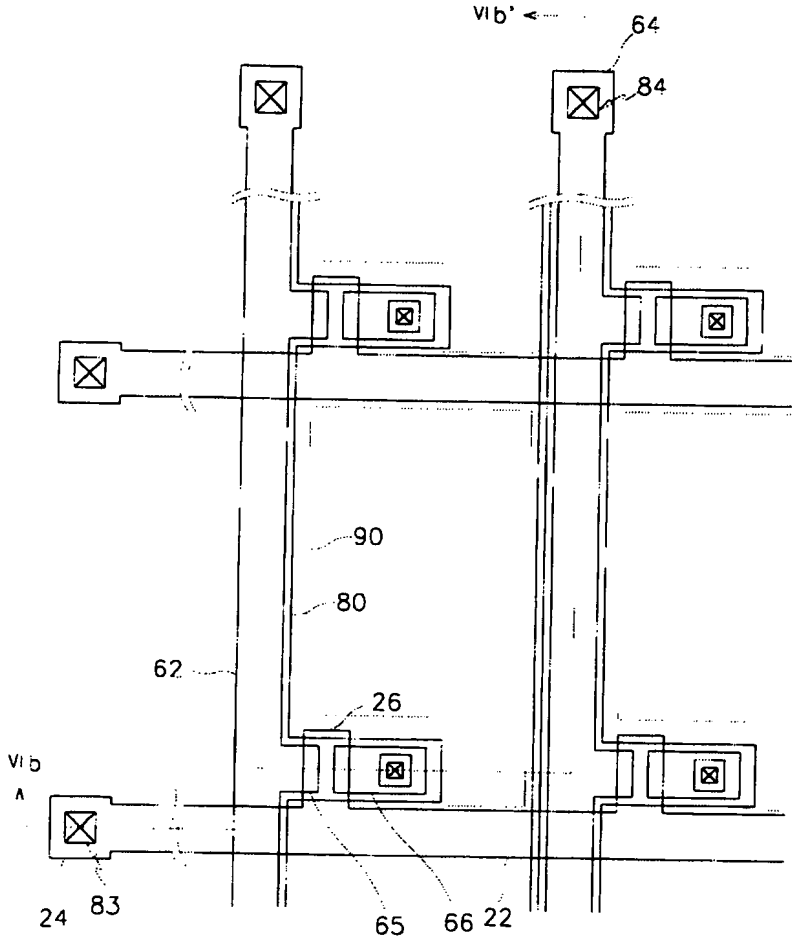
도면4b

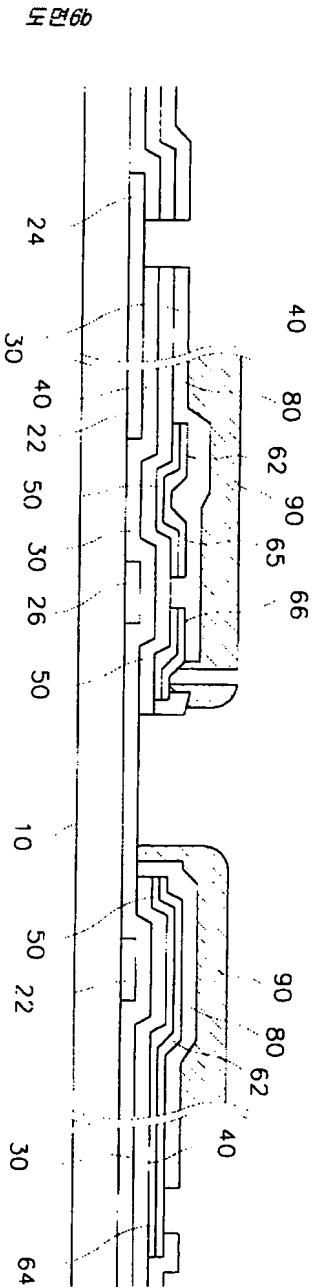


도면5

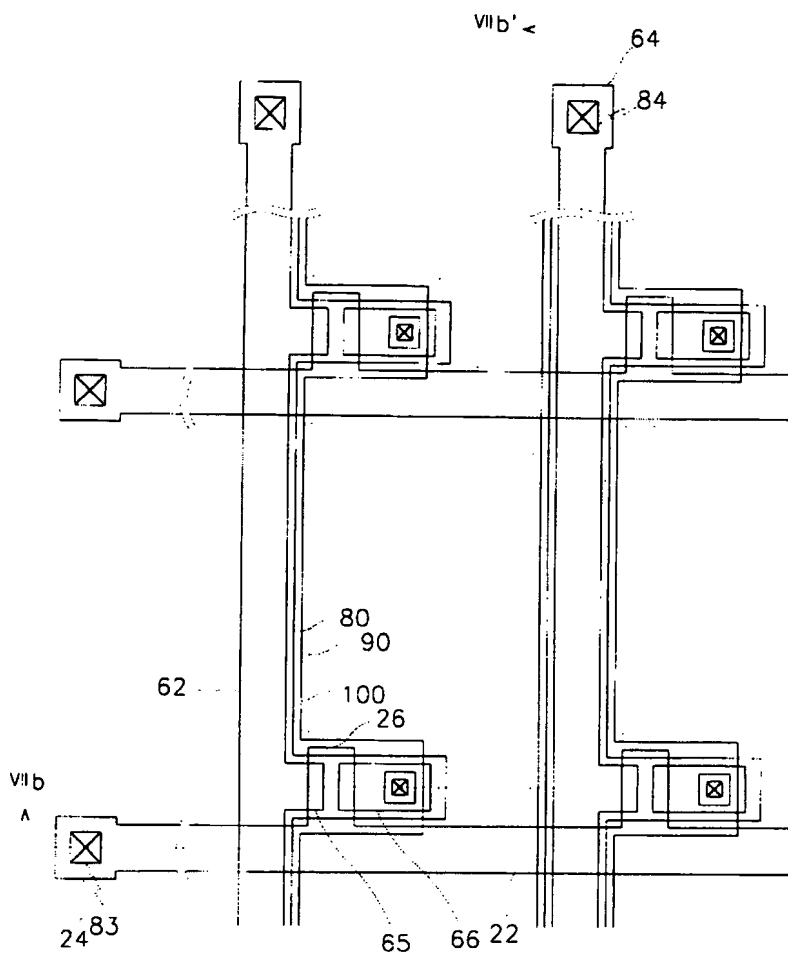


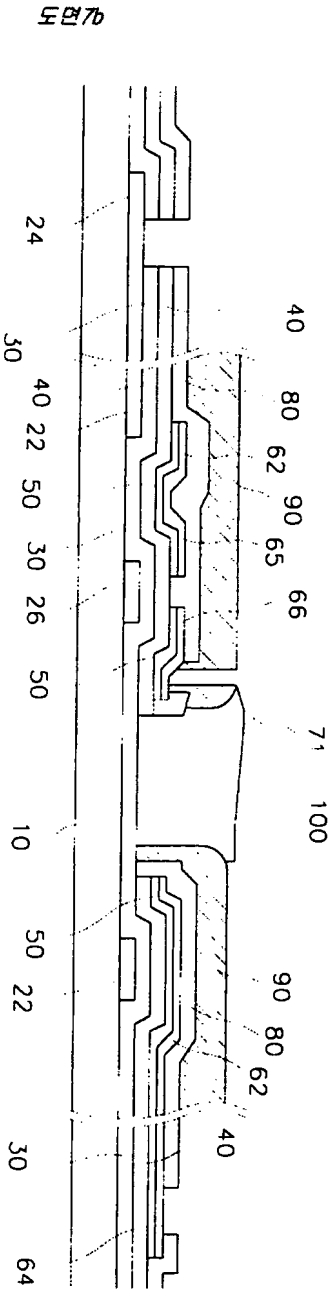
도면 6a





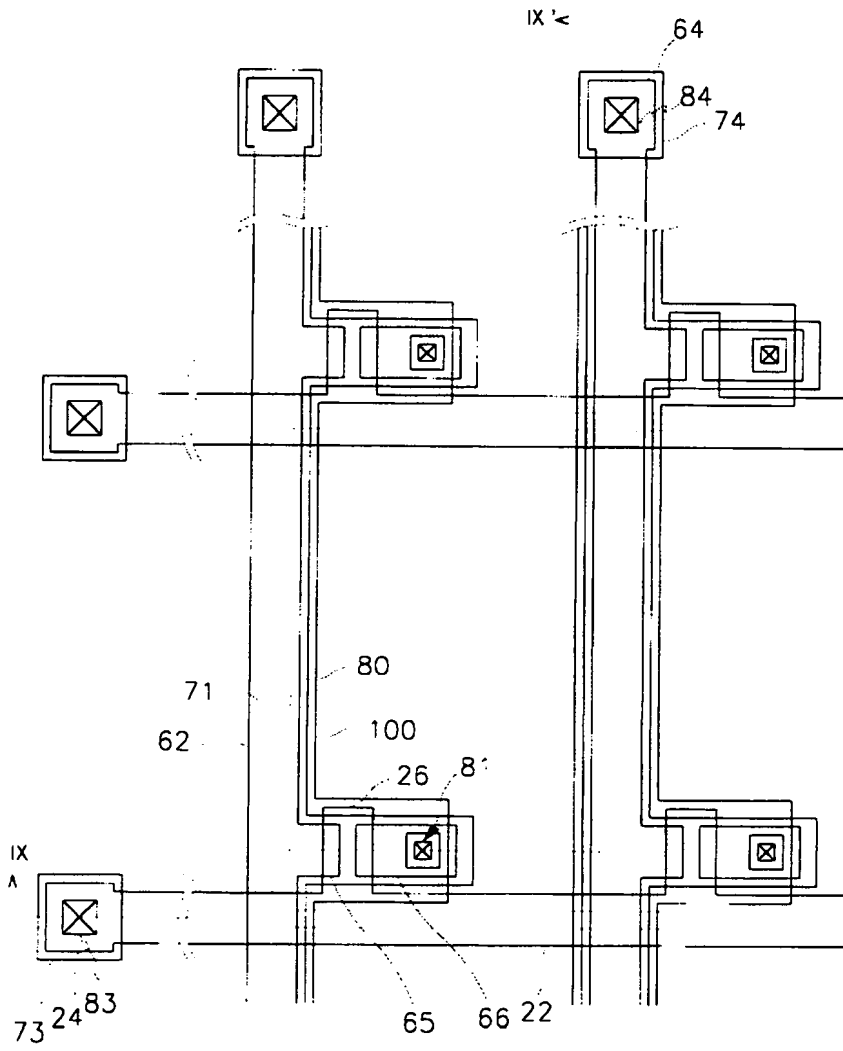
도면7a

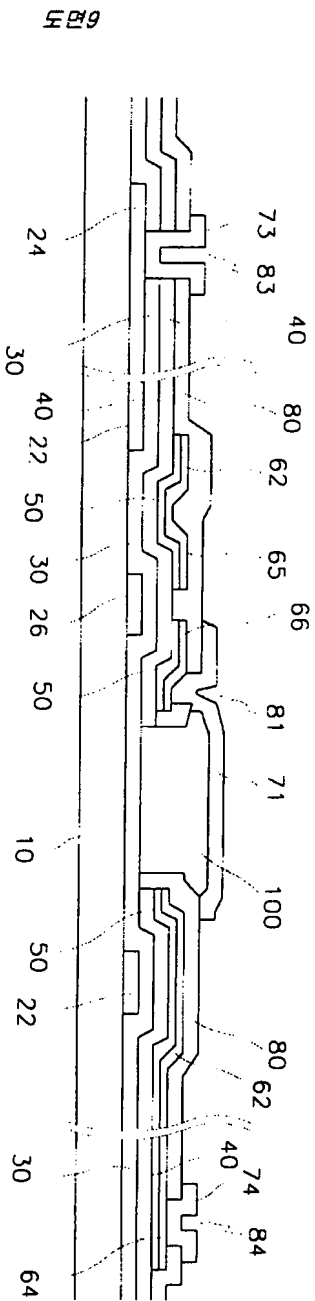




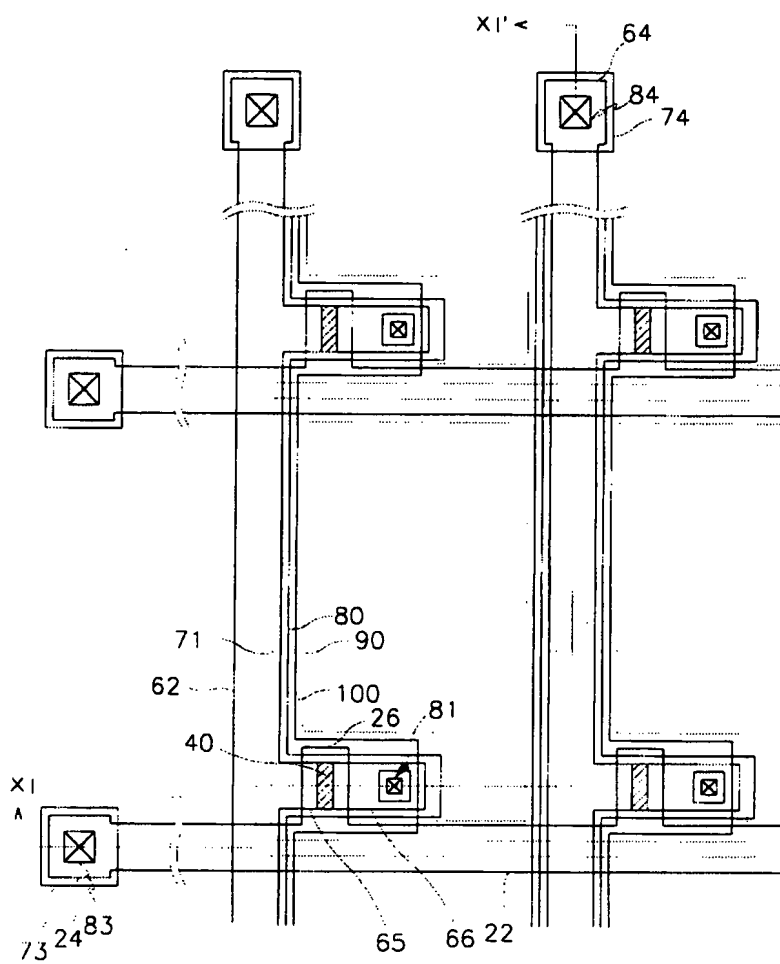


도면8

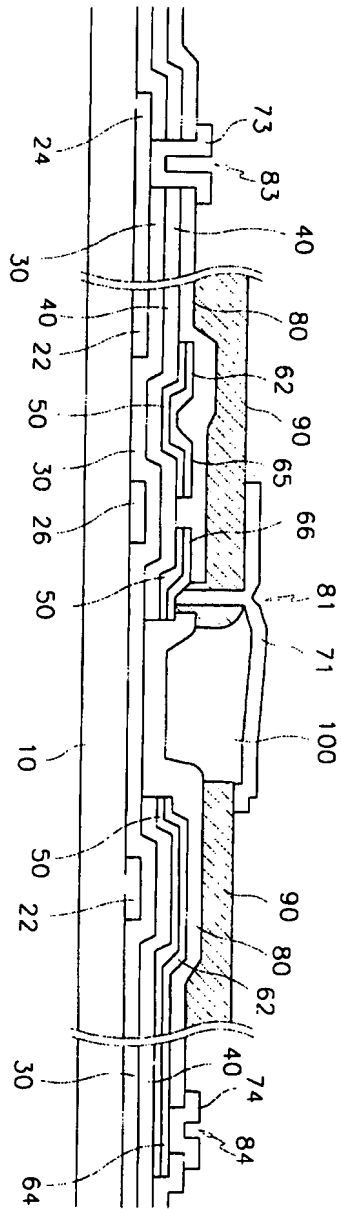




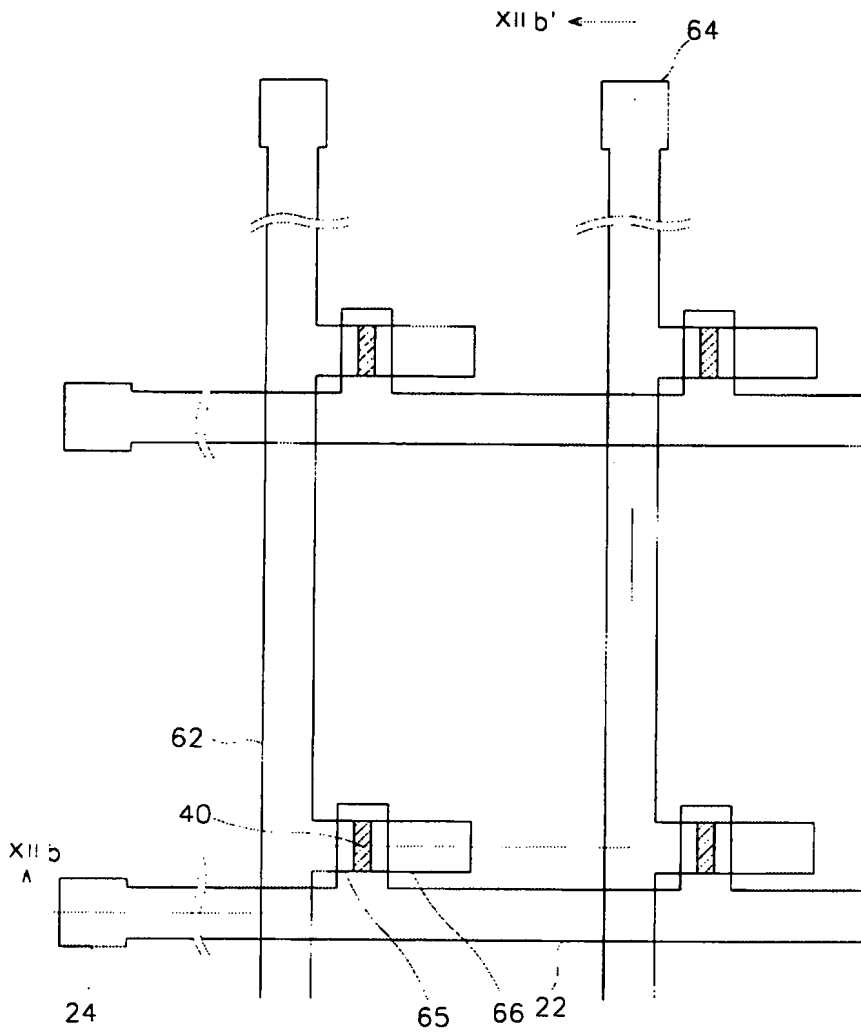
도면 10

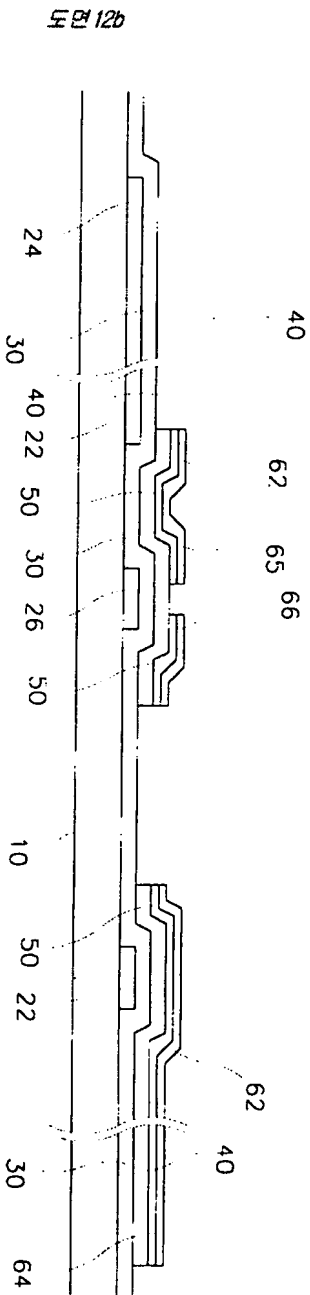


도면 11

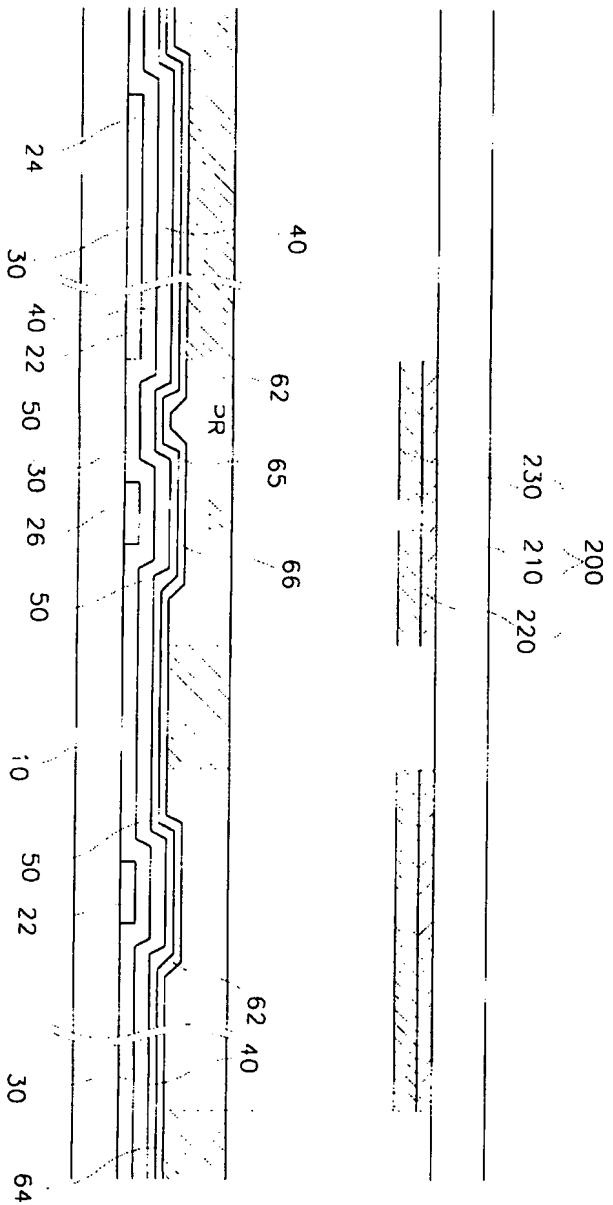


도면 12a

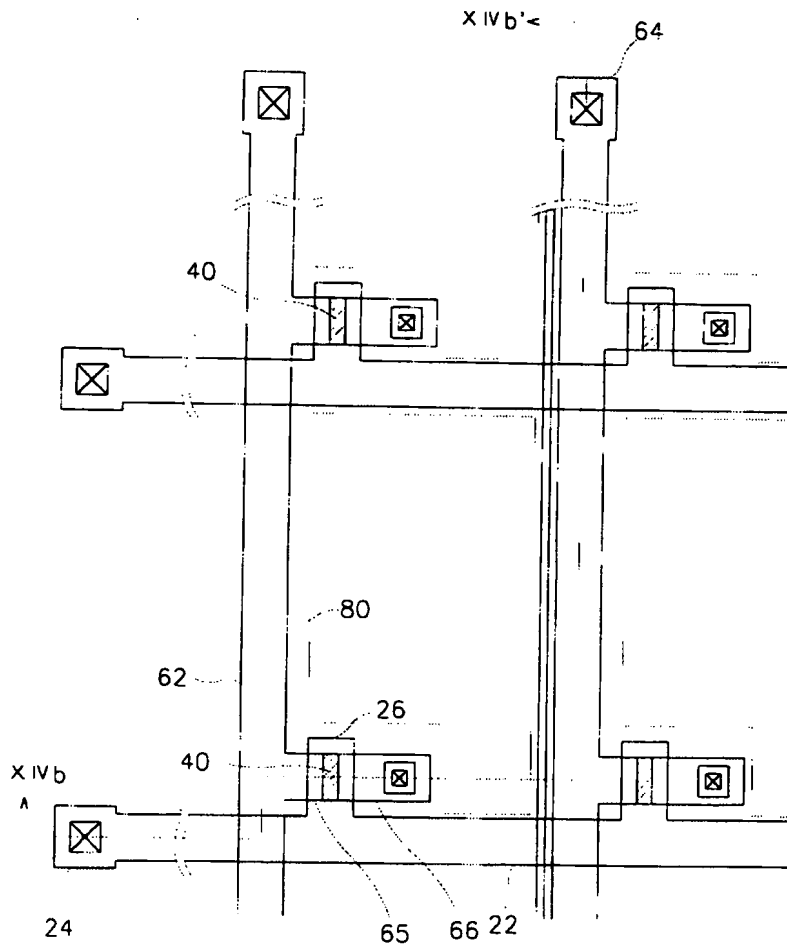




도면 13

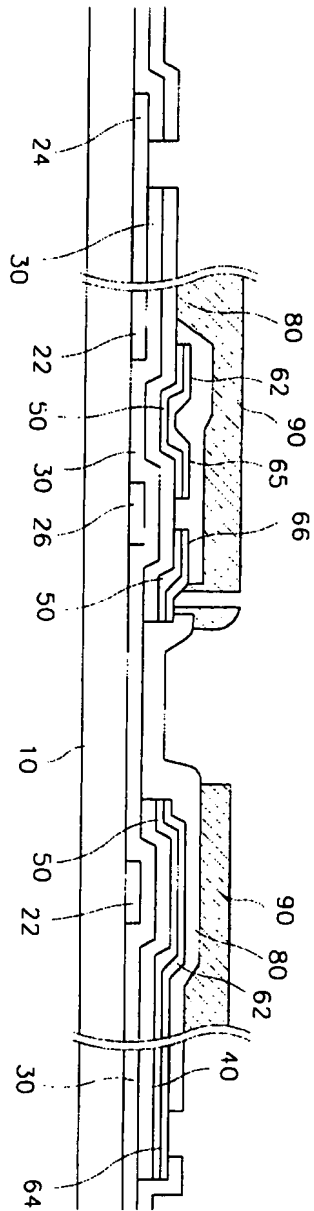


도면 14a

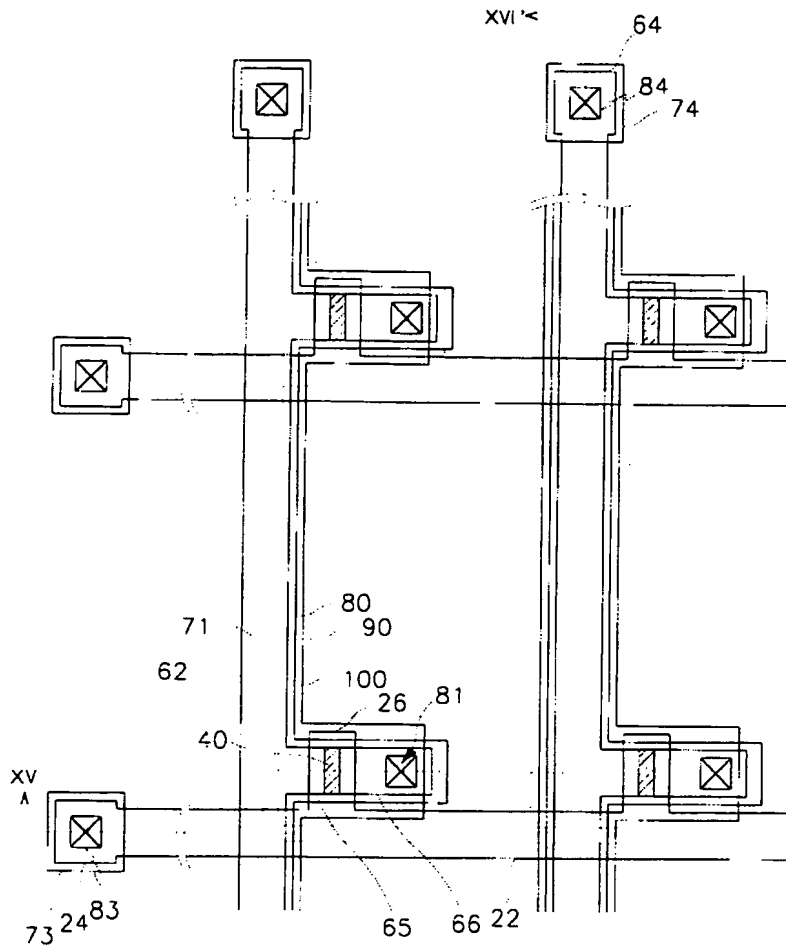




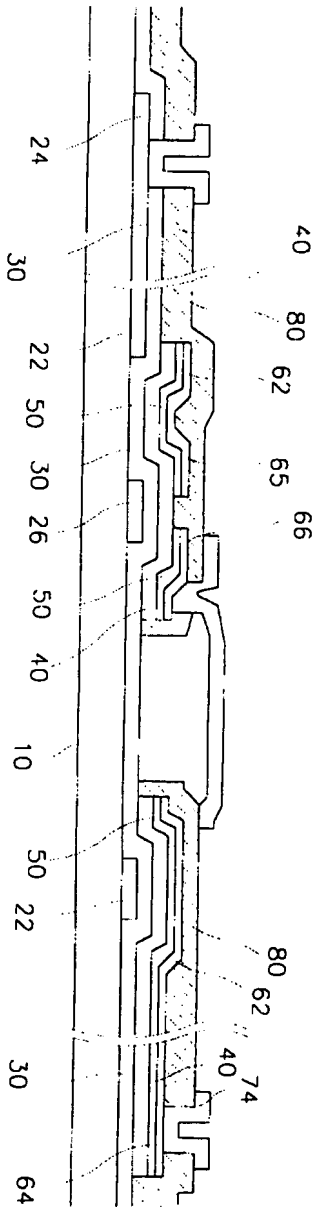
도면 14b



도면 15

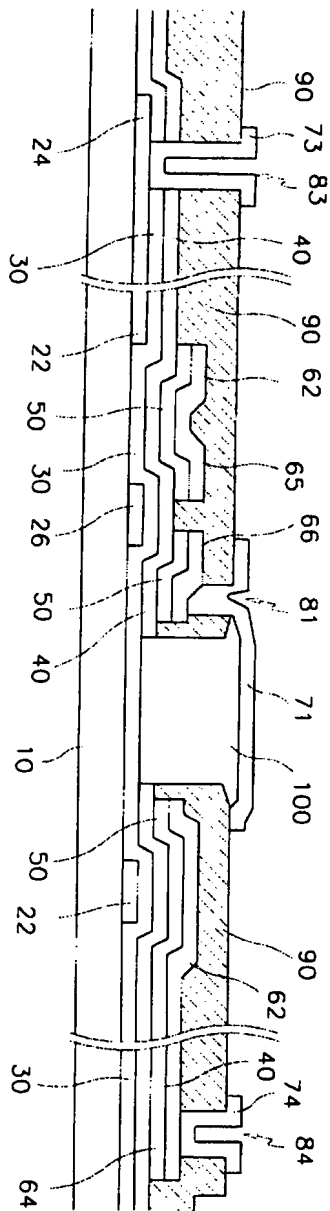


도면 16

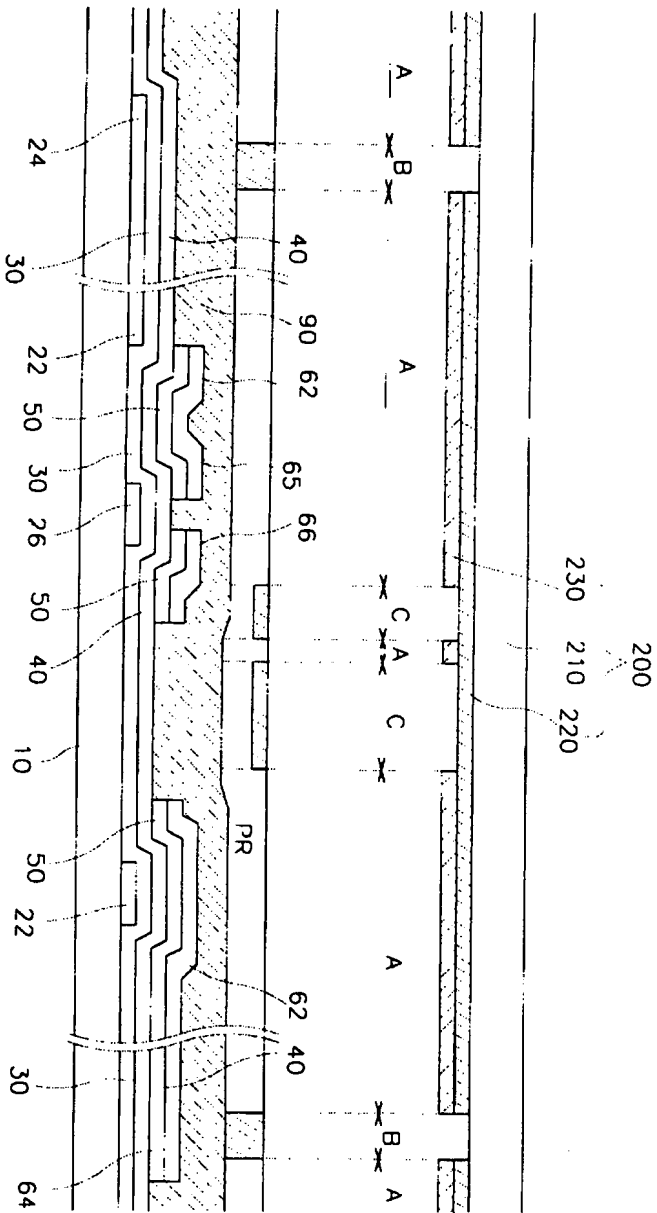




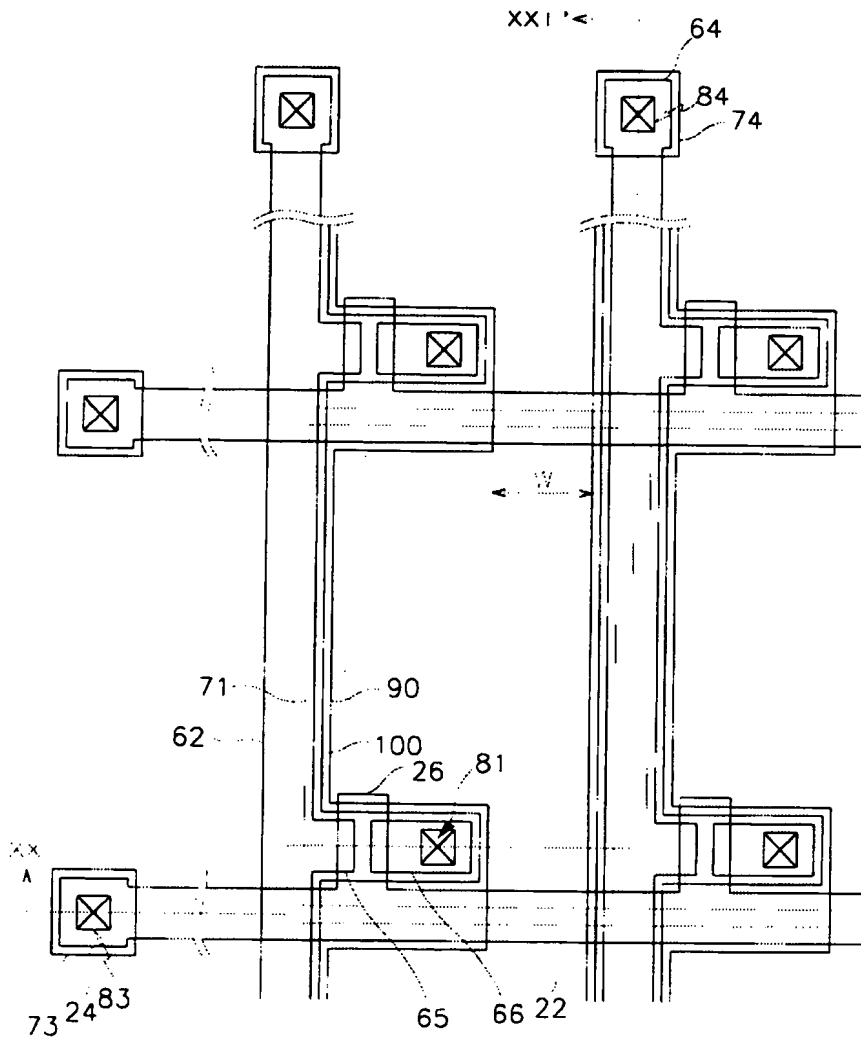
도면18



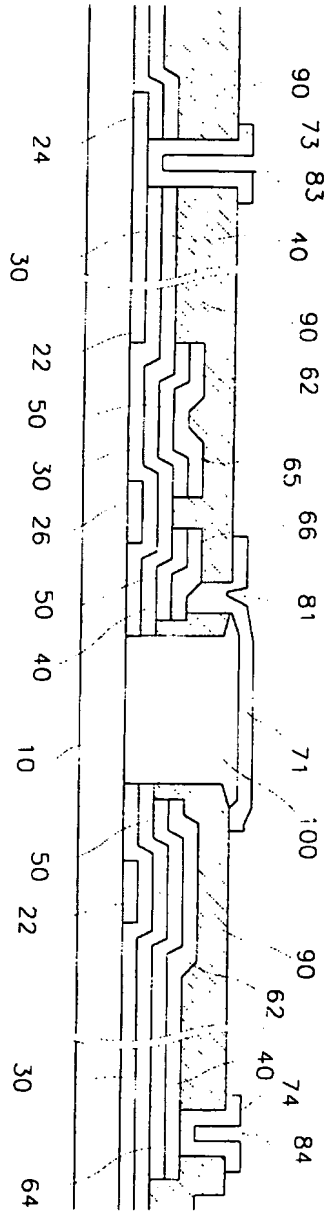
도면 19



도면20



도면21





도면22

